

# Tendencias actuales de la lógica reconfigurable en sistemas radar

Patricia López-Rodríguez<sup>1</sup>, Raúl Fernández-Recio<sup>1</sup>, Ignacio Bravo<sup>2</sup>

**Resumen**— Los sistemas radar se caracterizan por la gran cantidad de procesamiento de señal que deben de llevar a cabo para la detección correcta de blancos en el espacio. Los dispositivos de lógica reconfigurable, por su estructura interna y velocidad son óptimos para su utilización en las diferentes etapas de estos sistemas. En este artículo se lleva a cabo un estudio del arte de la aplicación de la lógica reconfigurable en sistemas radar así como un posterior análisis de las etapas más críticas en las que ésta entra en juego.

**Palabras clave**—Lógica reconfigurable, sistemas radar, guerra electrónica, FPGA Radar, FFT/IFFT.

## I. INTRODUCCIÓN

LOS sistemas radar son uno de los componentes más importantes en operaciones militares así como en el ámbito civil. Los diferentes usos o aplicaciones de los sistemas radar han tenido un gran desarrollo desde la II Guerra Mundial, y hoy en día estos sistemas no sólo detectan blancos e indican su posición, sino que también son capaces de proporcionar imágenes e incluso realizar ciertas tareas de ataque electrónico entre otras aplicaciones.

El funcionamiento elemental de un radar consiste en la emisión desde una antena transmisora de una cierta energía electromagnética, la cual es dispersada en todas direcciones cuando intercepta un blanco y es recibida de nuevo por la antena receptora del radar. El receptor, tras amplificarla y con la ayuda de cierto procesamiento de la señal, discernirá si existe blanco o no y será capaz de conocer ciertos parámetros del blanco como su localización (rango) midiendo el tiempo de vuelo de la señal recibida, la velocidad radial mediante el desfase de la frecuencia Doppler, la dirección angular de éste e incluso su tamaño y forma si se tiene resolución suficiente [1].

La Fig. 1 muestra el diagrama de bloques básico de un sistema radar monoestático. Se define el radar monoestático como aquel en el que la emisión y recepción de señales se realiza por la misma antena, mientras que se define el radar biestático como aquel en el que la transmisión y recepción necesitan de antenas diferentes. En el diagrama se puede apreciar cómo el bloque de transmisión y recepción necesitan de cierta comunicación para poder llevar a cabo la correcta detección de blancos.

Tradicionalmente, los sistemas radar se construían mediante hardware especializado, como circuitos ASIC, diseñados especialmente para la tarea y que apenas ofrecían reconfigurabilidad.

Con la evolución de los sistemas radar hacia sistemas más flexibles y con capacidad de realización de diversas

funciones requiriendo alta capacidad de procesamiento de la información, aparece el concepto de radar definido por

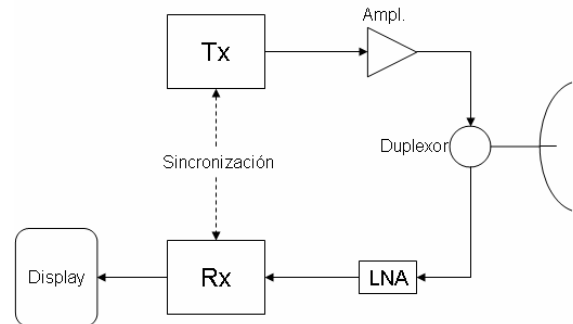


Fig. 1. Diagrama de bloques general de un sistema radar monoestático

software o *Software-defined radio* (SDR). El SDR es un sistema radar versátil en donde la mayor parte del procesamiento de la señal se realiza de manera digital. Este procesamiento puede incluir generación de señal, filtrado, conversión en frecuencia, decimación o interpolación, etc [2]. La importante evolución tecnológica de la electrónica digital ha provocado que se intente cada vez más digitalizar en las etapas más tempranas del radar ya que cuanto más cercano al *front end* de RF se digitalicen las señales, menos vulnerabilidades de la señal analógica se estarán introduciendo en el sistema. No sólo la integridad de la señal es importante sino también la flexibilidad en el diseño que el dominio digital ofrece.

En el SDR existen dos vertientes, una en la que la gran parte del procesamiento se realiza en lógica reconfigurable (normalmente FPGAs) y donde un procesador (PC) realiza las tareas de control de parámetros y visualización de resultados y otra en la que la gran parte del procesamiento de la señal se realiza en el PC y la FPGA o el dispositivo de lógica reconfigurable es usado para funciones más básicas como la decimación de la señal [2].

Principalmente el procesamiento de las señales se realiza una vez se recibe la señal, en el módulo de recepción, para analizarla y obtener información, sin embargo también se pueden utilizar las ventajas que ofrece el mundo digital para la etapa transmisora. En el presente artículo se dará una visión general de los diferentes módulos donde se hace uso en la actualidad de la lógica reconfigurable para el procesamiento digital de la señal en sistemas radar, diferenciando entre los bloques de emisión y recepción. En el apartado II se desglosan los elementos que conforman el módulo receptor indicando algunos trabajos significativos al respecto. El apartado III describe con metodología análoga al II, el módulo transmisor de un radar. Por su parte, el apartado IV presenta un análisis a alto nivel de la aplicación de sistemas radar en nuestros días, finalizando este trabajo con un apartado de conclusiones.

<sup>1</sup>Laboratorio de Detectabilidad y Guerra Electrónica, Instituto Nacional de Técnica Aeroespacial. Email: lopezrp@inta.es

<sup>2</sup>Departamento de Electrónica, Universidad de Alcalá

## II. MÓDULO RECEPTOR

El módulo receptor está compuesto principalmente por un amplificador de bajo ruido, un conversor analógico-digital (A/D), un módulo conversor a frecuencia intermedia en la que es más sencillo filtrar y amplificar convenientemente, filtros para eliminar ruido indeseado, un demodulador I/Q para obtener la señal en fase (I) y cuadratura (Q) y poder discriminar así la frecuencia Doppler del blanco y por ende su velocidad radial relativa, y un filtro adaptado o “matched filter” utilizado para la detección y que maximiza la relación señal a ruido (SNR). La decisión de la detección se realiza a la salida del receptor, de manera que se establece como detección de blanco cuando la salida excede de un determinado umbral fijado [1][3].

La Fig. 2 muestra el esquema del módulo receptor si se digitaliza la señal tras recibirse ésta y pasar por un amplificador de bajo ruido (LNA, Low Noise Amplifier) para proteger la etapa receptora.

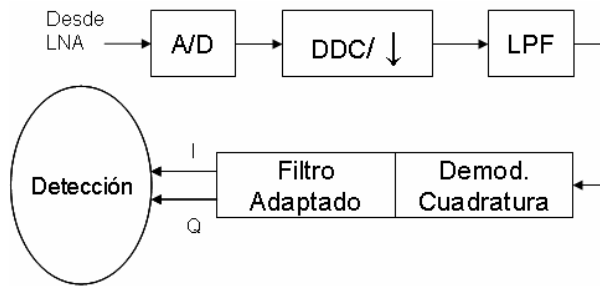


Fig. 2. Diagrama de bloques módulo receptor

Dependiendo en qué punto de la cadena receptora se sitúe el conversor A/D los bloques mencionados serán analógicos o digitales.

### A. Digital Down Converter (DDC) y decimador

La conversión a frecuencias menores está experimentando un cambio en una doble vertiente ya que se tiende a realizar en el dominio digital y además se intenta que se realice en el mismo dispositivo que realiza el grueso del procesamiento de la señal en banda base, lo cual, dependiendo de los recursos internos de nuestro dispositivo podrá o no ser posible.

En [4] se expone un tipo de radar definido por software basado en el GNU Radio Project [5] que realiza la conversión a banda base mediante un DDC seguido de un decimador. El “GNU radio” es un software libre fundado por Eric Blossom que combinado con cierto hardware permite el desarrollo de dispositivos de RF. Los desarrolladores han creado una tarjeta dedicada denominada “Universal Software Radio Peripheral” (USRP y USRP2, equipadas con ADC/DAC, FPGA, dispositivos de conexión para daughterboards e interfaces para la conexión con un PC). La filosofía de diseño del USRP es que todo el procesamiento específico de la señal (como puede ser la modulación/demodulación) debe ser llevada a cabo en un PC convencional mientras que operaciones generales como la conversión up/down, decimación o interpolación deben ser realizadas por la FPGA. El DDC realiza la misma operación que en el dominio analógico, mezcla la señal con la señal del oscilador local a una frecuencia dada, la diferencia

radica en que la operación se hace digitalmente y el oscilador local (LO) se implementa mediante un Oscilador Controlado Numéricamente (NCO) que genera los coeficientes equivalentes a un seno o coseno a la frecuencia deseada. Seguidamente al DDC se realiza una etapa de decimación para eliminar el exceso de muestras de señal pasadas a la siguiente etapa, que en el caso de [4] la decimación por un factor M (se toman 1 de cada M muestras de la señal) se realiza en dos etapas, primero decima por un factor M/2 mediante un filtro CIC (*Cascaded Integrator-Comb*), y a continuación decima por dos.

### B. Matched-Filter y demodulador en cuadratura

Los primeros sistemas radar se caracterizaban por emitir un pulso de gran potencia y representar en un display las reflexiones recibidas de este pulso en el punto donde se encontraba el blanco. El rango y la resolución de estos sistemas de pulsos de frecuencia fija estaban limitados por su potencia de pico y su anchura de pulso respectivamente. La resolución se puede mejorar haciendo el pulso más estrecho pero resulta en una reducción de la energía emitida afectando negativamente al rango y requiriendo mayores anchos de banda.

Para evitar las dificultades asociadas al uso de pulsos estrechos se hace uso de la técnica de procesamiento de señal denominada compresión de pulsos. Este método implica la emisión de un pulso codificado de mayor duración y el posterior procesamiento de la señal recibida para obtener un pulso estrecho. Para ello, en el receptor, la compresión de pulsos se implementa mediante la correlación de la señal recibida y una réplica de la señal transmitida, es por esto que para realizar esta etapa sea necesario conocer la forma de onda emitida por el radar y tener en cuenta que si ésta cambia, el módulo ha de cambiar también, de ahí que el sistema sea lo más flexible posible y debe haber algún tipo de sincronismo entre emisor y receptor. Esta técnica se conoce como filtro adaptado, o “matched-filter” y además maximiza la relación señal a ruido (SNR) [1].

El “matched-filter” es igual a la señal transmitida pero invertida en el tiempo [1]. Si la señal transmitida es  $x(t)$ , el filtro que cumple la condición de filtro adaptado (y por tanto maximiza la relación SNR) tiene la función de transferencia:

$$H(\omega) = X^*(\omega) \cdot e^{-j\omega t_1} \quad (1)$$

que expresada en el dominio temporal no es más que la señal  $x(t)$  desplazada en el tiempo y conjugada:

$$h(t) = x^*(t_1 - t) \quad (2)$$

La señal de salida tras pasar por el filtro será:

$$y(t) = x(t) * h(t) = \int_{-\infty}^{+\infty} x(\tau) \cdot h(t - \tau) d\tau \quad (3)$$

En la gran mayoría de radares se realiza esta operación en lógica reconfigurable ya sea en el dominio del tiempo ([7], [6]) o en el dominio de la frecuencia ([10]), haciendo uso de transformadas de Fourier (FFT).

En [7] la compresión del pulso radar mediante un filtro adaptado se hace en el dominio del tiempo utilizando un equipo Signal Master que cuenta con una Virtex 4 de XILINX. Realiza la operación mediante 4 filtros FIR

(de 67 muestras), utilizando dos para la parte real de la señal (I) y dos para la parte imaginaria (Q), donde los coeficientes de los filtros FIR se corresponden con los coeficientes de la señal transmitida. Además, para compensar ambigüedades en la detección de blancos (causadas por los lóbulos laterales que pueden aparecer al realizar la convolución), utilizan funciones ventana simplemente multiplicando ésta por los coeficientes de los filtros.

Por otra parte Andraka, en [6] presenta un radar meteorológico que en el procesado digital realiza en el dominio del tiempo un “matched filter” de 256 muestras. En este caso, para ahorrar recursos y poder introducir más operaciones en una sola FPGA se aplica aritmética distribuida, consiguiendo reducir el área necesaria para encajar dos filtros de este tipo en una sola FPGA.

Lo más común es realizar el “matched-filter” en el dominio de la frecuencia haciendo uso de FFTs/IFFTs, siendo estas operaciones óptimas para realizarse en dispositivos lógicos reconfigurables por su gran cantidad de multiplicadores internos y rapidez alcanzada por la implementación de arquitecturas internas en pipeline. Así, Nicolaisen et al. en [10] presentan un sistema radar de alta resolución diseñado para guerra electrónica, utilizando una tarjeta comercial denominada TRITON VXS-1, conteniendo una FPGA Xilinx Virtex-II Pro junto con un ADC de 10 bit y un DAC de 12 bit capaces de trabajar a 2 GMuestras/s. En su caso utilizan la FPGA para realizar el grueso del procesado, incluyendo el “matched-filter” en el dominio de la frecuencia, y se comunican con un PC en el que se seleccionan parámetros de configuración, como la señal a transmitir.

Para realizar el “matched-filter” realizan primeramente el paso al dominio de la frecuencia de la señal recibida ( $X(w)$ ) haciendo uso de la FFT y posteriormente ejecutan el producto de ésta con los coeficientes del filtro ( $H(w)$ ), los cuales son enviados a la FPGA desde el PC. El resultado del producto ( $Y(w)$ ) pasará por un módulo que realice su IFFT para obtener la señal de salida del filtro en el dominio del tiempo ( $y(t)$ ) y poder enviarla al PC para su posterior procesado y discriminación de blancos.

La señal obtenida ( $y(t)$ ) ha de ser demodulada en cuadratura en sus componentes I/Q para poder llevar a cabo un procesado Doppler para analizar la velocidad radial del blanco. Esta etapa puede realizarse antes o después de pasar por el filtro adaptado, en el dominio del tiempo o en el de la frecuencia. En el caso de [10], ésta se realiza en el dominio de la frecuencia conjuntamente con el filtro adaptado, simplemente trasladando la banda lateral superior (USB) del espectro de las señales a banda base y descartando la banda lateral inferior. Esta demodulación puede efectuarse directamente a  $Y(w)$  o como en el caso de [10] aplicarlo directamente a la señal recibida ( $X(w)$ ) y los coeficientes del filtro ( $H(w)$ ) antes de realizar su producto.

En [8] Čechák y Bojda implementan un modelo de simulación de un “matched-filter” de 2048 muestras. En el dominio del tiempo serían necesarios teóricamente 2048 multiplicadores seguidos de sumadores mientras que en el dominio de la frecuencia serían necesarios dos bloques FFT de 2048 muestras con 2048

multiplicadores. El algoritmo utilizado en el dominio del tiempo consumiría más recursos temporales ya que necesita procesar 2048 retardos de la señal, pero por otro lado la realización de FFTs de 2048 muestras no es trivial debido al número limitado de multiplicadores existentes en una FPGA. Andraka, en [13] presenta un algoritmo para conseguir la realización de FFTs de 2048 muestras tanto en coma fija como flotante de manera eficiente utilizando el algoritmo Winograd, éste factoriza la FFT minimizando el número de productos necesarios. Utilizando bloques de 16 muestras del algoritmo Winograd y combinándolos consiguen realizar FFTs de hasta 2048 muestras consumiendo aproximadamente un tercio de una FPGA Virtex 4 XCVSX55 (conteniendo 512 bloques DSP48).

En general es más eficiente en cuanto a hardware consumido el realizar el “matched filter” en el dominio del tiempo para un número pequeño de coeficientes mientras que para un número mayor de coeficientes (más de 8 ó 16) es más eficiente el dominio de la frecuencia.

Además para reducir el número de recursos, si la tasa de repetición del pulso es baja, se puede utilizar el mismo hardware en la FPGA para realizar la FFT y la IFFT [9].

### C. Interleaving

En ciertas ocasiones se hace uso del intercalado de muestras, es lo que se denomina “interleaving”. Este intercalado utilizando lógica reconfigurable normalmente se realiza para enviar las muestras de la señal a un PC para su procesado [4] o para ahorrar recursos dentro de la FPGA. Así, en el radar meteorológico presentado en [6] se utiliza el intercalado de muestras a la entrada del demodulador en cuadratura combinado con una etapa de filtrado de modo que en ciclos de reloj pares se realiza el filtrado de un canal y en los impares el de otro canal, reutilizando así el hardware y aprovechando los recursos de la placa.

### D. Comparadores y multiplicadores

En ciertos algoritmos de detección de blancos radar es además necesaria la implementación de comparadores, multiplicadores y desplazadores de muestras. Es el caso del algoritmo de detección CFAR, *Constant-False-Alarm-Rate*, en el que se define un cierto porcentaje de tasa de falsa alarma que se debe cumplir en la detección. Básicamente, el detector CFAR adapta el umbral de detección de blanco automáticamente según la información que se obtiene del entorno para obtener aproximadamente una tasa de falsa alarma constante [11].

En este algoritmo se almacena en un registro una ventana de muestras llegadas desde el filtro adaptado, llamada ventana de referencia, y que incluye a la muestra bajo test. Con esta ventana se calcula el valor umbral que será comparado con la muestra bajo test en cada iteración del algoritmo.

Como todas las muestras han de ser testeadas, esto implica que la ventana de referencia varíe con el tiempo, de ahí que sea necesario el uso de registros de desplazamiento, y que el umbral de detección sea calculado para cada desplazamiento.

En [11] se hace un estudio de la implementación de este algoritmo de detección en una FPGA Virtex II frente a otros dispositivos como son un DSP de Texas Instruments TMS320C6203 y un PC convencional con un procesador Pentium IV a 2.4GHz. Se concluye que debido a los recursos internos y al procesado paralelo de la FPGA, éstas son óptimas para este tipo de algoritmos debido a su rapidez de procesado frente al DSP y al PC expuestos.

### III. MÓDULO TRANSMISOR

El módulo transmisor de un radar típico consiste principalmente en un generador de onda/modulador, y la antena transmisora. Sin embargo, si se realiza la etapa transmisora de manera digital, ésta estará compuesta tal y como muestra la Fig. 3, por un generador de onda/modulador digital, seguido de una etapa de subida en frecuencia digital y de un convertidor digital-analógico (D/A).

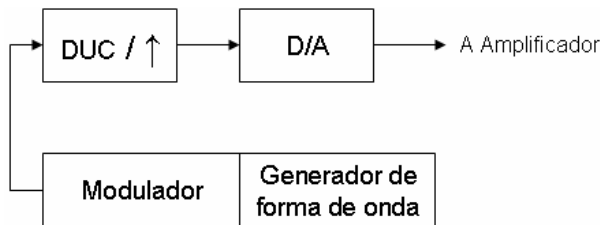


Fig. 3. Diagrama de bloques módulo transmisor

Hasta ahora era más frecuente el uso de la lógica reconfigurable en el módulo de recepción debido a la gran cantidad de operaciones que requiere el procesado de la señal recibida, sin embargo, conforme aumenta la necesidad de obtener diferentes formas de onda de manera rápida y flexible, en los últimos años se ha optado también por generar la forma de onda de manera digital. Es más, si ésta es generada de manera digital, será mucho más sencillo obtener los coeficientes del “matched filter” puesto que corresponden con la señal emitida invertida en el tiempo y desplazada.

#### A. Generación de forma de onda y modulación

Para la generación de una forma de onda modulada basta con almacenar en memoria unas tablas con los valores que debe tomar la señal a lo largo del tiempo, los cuales serán enviados al conversor D/A.

En [7] se genera una señal FM “chirp” para la implementación de un radar de apertura sintética (SAR, *Synthetic Aperture Radar*). Este tipo de señal se caracteriza por hacer un barrido en frecuencia, siendo ésta una función lineal del tiempo y la fase una función cuadrática del tiempo. Siguiendo la expresión de la señal “chirp” se genera una tabla para enviar dichos valores al D/A:

$$FM\_chirp(t) = \cos(t^2 \pi(B/T) + \phi) \quad (4)$$

donde B es el ancho de banda del barrido y T la anchura del pulso transmitido.

En este caso, para el almacenamiento de la señal se utilizan dos memorias ROM de una FPGA EP20K200EBC de Altera, una para la parte imaginaria y otra para la parte real y un contador para direccionar cada una de las posiciones de memoria.

Los radares de imagen de alta resolución (SAR e ISAR, *Inverse Synthetic Aperture Radar*) como el expuesto en [7] están siendo de gran importancia en los últimos tiempos tanto en el ámbito civil como en el militar, de ahí que sea necesaria la investigación de contramedidas electrónicas contra este tipo de radar. Durante los últimos años se ha estado investigando la capacidad de introducir información falsa de manera programable y controlada en estos radares a través de sistemas de perturbación o jamming. En este tipo de sistemas el componente principal es la Memoria Digital de Radiofrecuencia o DRFM (Digital RF Memory). El sistema DRFM recibe la señal radar y la almacena en una línea de retardo digital para retransmitirla un tiempo después. Esto causa que el radar al recibir esta señal posicione blancos donde no los hay. Este sistema podría ser clasificado también como un componente del módulo receptor puesto que realiza funciones tanto de recepción (recibe la señal y la procesa) como de transmisión (modula la señal a transmitir). Haciendo uso de la lógica reconfigurable se han efectuado diversos estudios de sistemas DRFM y su funcionalidad como jammers.

Thingsrud presenta en [14] un jammer experimental en el que la síntesis de falsos blancos se realiza mediante modulación directa en una FPGA en el dominio de la frecuencia. La modulación directa es un método en el que el retardo en rango, la frecuencia y la amplitud son generados de manera digital para cada blanco falso. Esto se realiza de manera directa mediante un filtro FIR, tomando como entrada del filtro la señal emitida por el radar (captada por el jammer y almacenada en la DRFM) y como coeficientes del filtro los puntos donde se generarán los blancos falsos. Para que la respuesta final a emitir sea obtenida rápida y directamente, se hace uso de la FFT para realizar el filtro FIR. Se proponen varias estructuras para realizar la convolución de las muestras de entrada con el filtro. Una primera con dos bloques, por un lado las muestras de entrada y por otro los coeficientes del filtro; por otro lado se prueba una estructura en la que para los coeficientes del filtro se distingue entre el perfil de los objetos y el perfil del escenario en el que se encuentran; y por último, una estructura que genera el perfil del escenario de manera paramétrica y que realiza la convolución de manera distribuida. Este último método es capaz de sintetizar escenarios y paisajes creíbles, siendo muy interesantes para sistemas de jammer para radares de tipo SAR.

Por otra parte, en [12] presentan un sistema radar junto con un jammer utilizando el mismo hardware; sintetizan tanto el sistema radar como el jammer en la misma placa y será el usuario el que decida en cada momento cómo actúa el sistema. Haciendo uso de una DRFM el jammer presentado es capaz de almacenar una señal radar y replicarla un cierto número de veces con retardos programables por el usuario. Con este sistema consiguen reproducir un vasto número de falsos blancos de manera aleatoria así como un único blanco falso en una determinada posición que simule que se encuentra en movimiento.

Resulta pues, muy útil el uso de la lógica reconfigurable en el módulo transmisor de los sistemas radar así como en los jammers ya que en los primeros

permite flexibilidad de cambio de forma de onda, permitiendo pasar por alto sistemas de guerra electrónica que intenten interferir de alguna manera en la señal radar, mientras que en los últimos se ha visto la capacidad de reproducir réplicas de la señal con cierto retardo para engañar a los radares.

### B. *Deinterleaving*

En ocasiones, como se ha comentado con anterioridad, los dispositivos lógicos reconfigurables realizan operaciones sencillas puesto que actúan como un mero conector entre el PC de procesado y el mundo analógico y es el PC el que genera las muestras de la señal transmisora [4][10].

En el caso del radar definido por software descrito en [4] las muestras enviadas por el PC hacia la FPGA llegan intercaladas, de ahí que este dispositivo, en la etapa transmisora tenga que realizar la operación inversa al intercalado, el denominado “deinterleaving”.

### C. *Digital Up Converter (DUC) e interpolador*

El paso de la señal en banda base a una frecuencia intermedia para su modulación y emisión puede realizarse también al igual que ocurría con la operación contraria en recepción, en el dominio digital.

Antes de trasladar la señal en frecuencia será necesario que ésta pase por un interpolador puesto que al aumentar en frecuencia serán necesarias más muestras de la señal. En [4] se hace la interpolación por un factor L (por cada muestra se añaden L muestras adicionales) utilizando lógica reconfigurable en dos etapas, una primera que interpola la señal por un valor L/4 mediante filtros CIC (*Cascaded Integrator-Comb*), y otra posterior, que interpola la señal por un factor de 4. Una vez realizada la interpolación se dispone a subir en frecuencia la señal pasando por el DUC, el cual realiza la misma operación que en el dominio analógico, mezcla la señal con la señal del oscilador local a una frecuencia dada. Al igual que ocurría en la etapa de recepción con el DDC, en dispositivos de lógica reconfigurable para sintetizar las funciones del oscilador local (LO) se utiliza un Oscilador Controlado Numéricamente (NCO) que genera los coeficientes equivalentes a un seno o coseno a la frecuencia deseada.

## IV. ANÁLISIS

Con las numerosas funcionalidades que pueden tener los radares de hoy en día, tales como las básicas de detección y posicionamiento de blancos como las más avanzadas de generación de imágenes o guiado de armamento, así como los nuevos sistemas de soporte electrónico y contramedidas (como los jammer), han hecho que se multiplique el número de sistemas radar especializados en una misma plataforma (barcos, aviones y otros). Por otra parte, debido a que el espacio y el peso disponibles en las diferentes plataformas es limitado, el desarrollo de radares definidos por software mediante lógica reconfigurable es de gran interés, no sólo por el hecho de que en un mismo dispositivo se pueden implementar distintos bloques de procesado que de manera analógica ocuparían más espacio, sino porque además la lógica reconfigurable tiene la ventaja de poder implementar en un mismo sistema diferentes modos de

funcionamiento radar, abriéndose así la posibilidad de crear radares multifunción, muy interesante sobre todo en el ámbito de aviones militares y de UAVs (*Unmanned Aerial Vehicle*). Además el hecho de usar lógica reconfigurable en el módulo transmisor hace posible el cambio de tipo de señal transmitida en tiempo real haciendo que el radar pueda tratar satisfactoriamente ciertos sistemas de contramedidas de manera fácil y rápida.

Otra de las ventajas que la lógica reconfigurable proporciona es la posibilidad de probar las distintas funciones del radar mientras éste se encuentra en fase de desarrollo sin necesidad de construir un nuevo prototipo para cada versión del algoritmo generado, lo que proporciona mayor rapidez y menores costes en desarrollo.

Se ha visto cómo el uso de dispositivos de lógica reconfigurable aporta gran flexibilidad a los sistemas así como una alta velocidad de procesamiento. Es más, en ocasiones se pueden utilizar procesadores embebidos en estos dispositivos, para realizar otro tipo de funciones.

La mayor ventaja de estos dispositivos es su estructura paralelo. Así, algoritmos de filtrado digital como los vistos en apartados anteriores pueden ser implementados sin mayor problema. Su reconfigurabilidad los hace adecuados para aplicaciones en las que se añadirán nuevas funcionalidades y nuevo software. Por otra parte, esta reconfigurabilidad hace que en entornos cambiantes, donde el ruido por ejemplo puede cambiar con el tiempo, se puedan reprogramar sus bloques de filtrado y adaptarse a las necesidades del momento. Además presentan bloques específicos para comunicación a alta velocidad con otros periféricos, de gestión de reloj así como bloques diseñados específicamente para el procesado de señales de manera rápida y eficiente.

En diseños de procesado digital de señales, como los sistemas radar evaluados, es muy importante que los diseñadores ejecuten inicialmente un modelo de simulación en lenguajes sencillos, tipo Matlab o Simulink y de ellos extraer conclusiones de qué módulos implementar en lógica reconfigurable atendiendo a sus diferentes exigencias de velocidad, procesamiento, resolución y área. Así, parece razonable debido a la alta velocidad de los dispositivos, al paralelismo y a la alta cantidad de multiplicadores internos que poseen las FPGAs que se implementen en ellas los algoritmos de FFT e IFFT. Como se ha visto se hace uso de las FFT e IFFT en los filtros adaptados así como en el módulo DRFM de los jammer o en los filtros necesarios para cancelar ruido, de ahí que estos módulos estén implementados preferentemente en dispositivos de lógica reconfigurable como las FPGAs. Sin embargo, hay que tener en cuenta la resolución del sistema. No hay que olvidar que las FPGAs son intrínsecamente de coma fija y siempre se tendrá un cierto error en las operaciones con respecto a coma flotante, es por esto muy importante realizar un estudio previo de qué resolución es aceptable para el sistema a desarrollar.

Por otra parte existen otros módulos como los conversores en frecuencia (DDC y DUC) cuya implementación en digital en dispositivos lógicos reconfigurables no está tan extendida ni es tan crítica

siendo frecuente su realización de manera analógica. Se ha visto también cómo el bloque de detección es recomendable su implementación en FPGAs frente a PCs convencionales o DSPs debido a su estructura interna, sin embargo todo dependerá de los requerimientos del sistema radar.

La generación de onda de manera digital en dispositivos tales como FPGAs resulta de gran interés puesto que permite reconfigurar las características de la señal a emitir de manera eficiente y rápida, sin embargo no siempre es implementado este módulo en lógica reconfigurable siendo usual el uso de procesadores externos (PCs) para la generación y almacenamiento de la señal transmitida. En cualquier caso, estos procesadores deben comunicarse con el dispositivo lógico reconfigurable utilizado ya que para realizar el filtro adaptado es necesaria la información de la señal transmitida.

Cuanto mayor sea el número de recursos disponibles más capacidades se podrán integrar en un mismo dispositivo y más complejo será su diseño final. En definitiva, es el diseñador quien se decantará por realizar ciertos bloques en lógica reconfigurable o no según las necesidades del sistema y los recursos disponibles.

Uno de los módulos más críticos en SDR son los conversores A/D y D/A, enlace entre el mundo analógico y el digital y que son el interfaz con el dispositivo lógico reconfigurable. En la elección del A/D y el D/A, hay que tener en cuenta su rango dinámico libre de espurios, velocidad, linealidad, consumo de potencia y otras especificaciones que determinan su funcionamiento para adaptarse a las necesidades del sistema radar. Así, la selección del A/D para aplicaciones radar es un compromiso entre conseguir un rango dinámico de 60dB o más, el ancho de banda de entrada de RF, el número de bits efectivos de resolución del dispositivo y la zona de Nyquist en la que opera. Es por esto que el ADC es crítico, ya que es el encargado de transmitir la señal lo más fielmente posible al dispositivo encargado de procesarla. El avance en la tecnología de dispositivos lógicos programables como las FPGAs ha aportado mucho al avance del estado del arte de los sistemas radar. Las FPGAs siguen un desarrollo conforme la ley de Moore, de modo que cada generación proporciona mejor funcionamiento y mayor cantidad de recursos. Por ejemplo la Virtex7 anunciada 18 meses después de la Virtex 6 de Xilinx, contiene más del doble de celdas lógicas que su predecesora. En contraste, los conversores A/D y D/A no tienen tan rápido desarrollo, la inclusión de un nuevo bit efectivo puede llevar entre 5 y 10 años en lanzarse al mercado. De ahí que sea importante el desarrollo también de estos módulos para poder incrementar el ancho de banda de los radares definidos por software.

Con la rápida evolución de las FPGAs en cuanto a rapidez, consumo e integración se hace cada vez más viable la implantación de algoritmos complejos de filtrado y detección en una sola FPGA. De aquí a unos años se pretende conseguir radares que aprendan del entorno cambiante en tiempo real y que vayan modificando sus modos de funcionamiento de manera autónoma.

## V. CONCLUSIONES

En el presente artículo se ha dado una visión general de las etapas en las que a día de hoy se utilizan dispositivos de lógica reconfigurable en sistemas radar. Se han analizado por módulos los diferentes bloques donde es posible la aplicación de estos dispositivos y se ha comprobado a través de ejemplos prácticos su vasta integración en los sistemas radar definidos por software actuales. Por último, se ha visto que el bloque del filtro adaptado es claramente el bloque más crítico y más ampliamente implementado en lógica reconfigurable frente a otros bloques cuya implementación en estos dispositivos dependerá de las exigencias del sistema y los recursos disponibles.

## AGRADECIMIENTOS

El presente trabajo ha sido financiado mediante el Programa Nacional de Diseño y Producción Industrial, Ministerio de Ciencia y Tecnología, a través del proyecto ESPIRA (ref. DPI2009-10143) y la Universidad de Alcalá (ref.UAH2011/EXP-001), a través del proyecto "Sistema de Arrays de Cámaras Inteligentes (SACI)", así como por la ayuda para la Formación del Personal Investigador TD 05/11 del Instituto Nacional de Técnica Aeroespacial "Esteban Terradas".

## REFERENCIAS

- [1] M. Skolnik, "Radar Handbook" 3ª Edición, McGraw-Hill, USA, 2008, ISBN: 978-0-07-148547-0.
- [2] T. Debatty, "Software Defined Radar a state of the art", 2<sup>nd</sup> International Workshop on Cognitive Information Processing, 2010.
- [3] I.Moir, A. Seabridge, "Military Avionics Systems", John Wiley & Sons Ltd., 2006, ISBN: 0-470-01632-9.
- [4] L.K. Patton, "A GNU radio based software-defined radar", Master thesis, Department of Electrical Engineering, Wright State University, 2007.
- [5] <http://gnuradio.org/redmine/projects/gnuradio>
- [6] R.Andraka, A. Berkun, "FPGAs make a radar signal processor on a chip a reality", Proceedings of the Asilomar Conference on Signal, Systems and Computers, Vol. 1, pp 559-563, Pacific Grove, CA, USA, 1999.
- [7] E. Escamilla Hernández et al. "Uso de FPGA para realizar compresión del pulso de radar", Científica, Vol. 9, N. 002, pp 73-81, 2005.
- [8] J. Cechak, P. Bodja, "Software defined radar and FPGA limits", RTO-MP-SET-136-16, 2009.
- [9] R.H. Hosking, "Use FPGA resources to boost radar system performance", Defense Electronics, 2005.
- [10] H.Nicolaisen, T. Holmboe, K. V. Hoel y D. Kristoffersen, "High resolution range-doppler radar demonstrator based on a commercially available FPGA card", IEEE International Conference on Radar, pp 676-681, Australia, 2008.
- [11] R. Cumplido, C. Torres y S. López, "On the Implementation of an efficient WGA-based CFAR Processor for Target Detection", 1<sup>st</sup> International Conference on Electrical and Electronics Engineering, pp. 214-218, México, 2004.
- [12] S. Kristoffersen, S. Johnsrud, K. V. Hoel y T. Holmboe, "Multi Purpose RF system (MuPuRF) demonstrator based on a commercially available ADC/FPGA/DAC board: high-resolution radar and DRFM-based radar jammer in the same hardware", RTO-MP-SET-136-1, 2009.
- [13] R. Andraka, "Hybrid Floating Point Technique Yields 1.2 Giga-sample Per Second 32 to 2048 point Floating Point FFT in a single FPGA", 10<sup>th</sup> Annual Workshop on High Performance Embedded Computing, MIT, 2006.
- [14] O. Thingsrud, "DRFM-Modulator for HRR-Jamming", RTO-MP-SET-080-P7, 2004.